

PAT-NO: JP410032279A

DOCUMENT-IDENTIFIER: JP 10032279 A

TITLE: BUMP FORMING METHOD OF BUMP CHIP SCALE SEMICONDUCTOR
PACKAGE, SEMICONDUCTOR PACKAGE, AND BUMP

PUBN-DATE: February 3, 1998

INVENTOR-INFORMATION:

NAME

KYO, EIKYOKU

ASSIGNEE-INFORMATION:

NAME

COUNTRY

ANAM IND CO INC

N/A

APPL-NO: JP09023144

APPL-DATE: January 22, 1997

INT-CL (IPC): H01L023/12

ABSTRACT:

PROBLEM TO BE SOLVED: To enable chip bumps to be easily formed by a method wherein a solder ball positioning process through which a solder ball is positioned on a gold tail and a bump reforming process in which a spherical or hemispherical chip bump whose core is the gold tail is formed through a thermally treating means are provided.

SOLUTION: A resin coating layer 13 is cured, a rectilinear gold tail 22 exposed above the resin coating layer 13 is bent into a curved gold tail 23 by a coining device 50. A flux 35 is applied onto the bent and curved gold tail 23 for the formation of a Sn/Pb solder ball 28 of prescribed size on the curved gold tail 23. A semiconductor chip 10 on a soldering stage is made to pass through a convectional oven, a conventional oven, or an IR reflow device kept at a temperature of 190°C or above, whereby spherical or hemispherical chip bumps where the curved gold tail 23 are made to serve as cores are reformed.

COPYRIGHT: (C)1998JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-32279

(43) 公開日 平成10年(1998) 2月3日

(51) Int.Cl.⁹
H 0 1 L 23/12

識別記号 庁内整理番号

F I
H 0 1 L 23/12

技術表示箇所
L

審査請求 有 請求項の数31 F D (全 10 頁)

(21) 出願番号 特願平9-23144

(22) 出願日 平成9年(1997) 1月22日

(31) 優先権主張番号 1 9 9 6 P 6 3 0 2

(32) 優先日 1996年3月11日

(33) 優先権主張国 韓国 (K R)

(31) 優先権主張番号 1 9 9 6 P 6 3 0 3

(32) 優先日 1996年3月11日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 595173374

アナムインダストリアル株式会社

大韓民国ソウル特別市ソントン区ソンスウ
トンニカ280-8

(72) 発明者 許 榮 旭

大韓民国 京畿道城南市盆唐区水内洞55
ロッテアパート132-1504

(74) 代理人 弁理士 斎藤 栄一 (外1名)

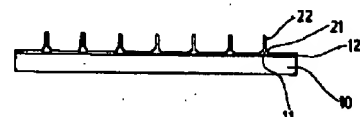
(54) 【発明の名称】 バンプチップスケール半導体パッケージのバンプ形成方法とその半導体パッケージ及びバンプ

(57) 【要約】

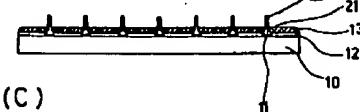
【課題】 ソルダワイヤー及び／又はゴールドワイヤーを使用して、半導体チップのチップパッド上にテールを有するバンプを形成させ、このテールを用いてチップバンプを容易で効率的に形成させ得るバンプチップスケール半導体パッケージのバンプ形成方法とその半導体パッケージ及びバンプを提供することである。

【解決手段】 ゴールドワイヤーを使用して半導体チップのチップパッド上に、ゴールドテールを有するゴールドバンプを形成させ、前記ゴールドバンプが形成された半導体チップの上面に樹脂を塗布し硬化させ、コイニング装置で前記ゴールドテールをベンディングさせ、前記ベンディングされたゴールドテール形成面上にフラックスを塗布し、所望大きさのソルダボールを前記ゴールドテール上に位置させ、熱処理手段により前記ゴールドテールをコアとする球体状又は半球体状のチップバンプを形成させる。

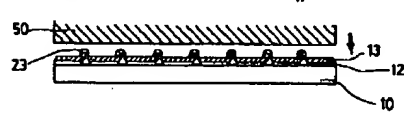
(A)



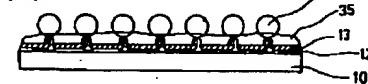
(B)



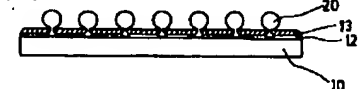
(C)



(D)



(E)



【特許請求の範囲】

【請求項1】 ボールボンダ用ワイヤーボンダとしてのゴールドワイヤーを使用して半導体チップのチップパッド上に、ゴールドテールを有するゴールドバンプを形成させるゴールドバンプ形成段階と、

前記ゴールドバンプが形成された半導体チップの上面に樹脂を塗布し硬化させる樹脂コーティング層形成段階と、

コイニング装置で前記ゴールドテールをベンディングさせる湾曲形ゴールドテール形成段階と、

前記湾曲形ゴールドテール形成面上にフラックスを塗布し、所望大きさのソルダボールを前記ゴールドテール上に位置させるソルダボール位置選定段階と、

熱処理手段により前記ゴールドテールをコアとする球体状又は半球体状のチップバンプを形成させるバンプ再形成段階とからなることを特徴とするバンプチップスケール半導体パッケージのバンプ形成方法。

【請求項2】 ソルダボール位置選定段階の代わりに、前記湾曲形ゴールドテール形成面上にフラックスを塗布し、湾曲形ゴールドテールの周囲に所望の大きさのチップバンプを形成させるに十分な量のソルダペーストを塗布するソルダペースト塗布段階を含むことを特徴とする請求項1記載のバンプチップスケール半導体パッケージのバンプ形成方法。

【請求項3】 ソルダボール位置選定段階の代わりに、前記湾曲形ゴールドテール形成面上にフラックスを塗布し、湾曲形ゴールドテール形成面を下向にしてソルダボットに浸漬させて、前記湾曲形ゴールドテール上にソルダバンプを形成させるソルダバンプ形成段階を含むことを特徴とする請求項1記載のバンプチップスケール半導体パッケージのバンプ形成方法。

【請求項4】 ソルダボール位置選定段階の代わりに、前記湾曲形ゴールドテール形成面上にフラックスを塗布し、湾曲形ゴールドテール形成面を下向にし、ウェーブソルダリングにより前記湾曲形ゴールドテール上にソルダバンプを形成させるソルダバンプ形成段階を含むことを特徴とする請求項1記載のバンプチップスケール半導体パッケージのバンプ形成方法。

【請求項5】 ゴールドバンプ形成段階では、ゴールドバンプのゴールドテールを10～30milの高さに形成することを特徴とする請求項1乃至4のいずれか記載のバンプチップスケール半導体パッケージのバンプ形成方法。

【請求項6】 樹脂コーティング層形成段階において、樹脂コーティング層を形成する樹脂がポリイミド又はエポキシ樹脂であり、硬化は150～240℃の温度で30分以上加熱させることにより成されることを特徴とする請求項4記載のバンプチップスケール半導体パッケージのバンプ形成方法。

【請求項7】 フラックスがロジン系フラックスである

ことを特徴とする請求項4記載のバンプチップスケール半導体パッケージのバンプ形成方法。

【請求項8】 バンプ再形成段階でのバンプ再形成時の熱処理手段が190℃以上の対流オープン、炉又は赤外線リフロー加熱装置であることを特徴とする請求項4記載のバンプチップスケール半導体パッケージのバンプ形成方法。

【請求項9】 前記半導体チップがソーイング装置で切断される前のウェーハであることを特徴とする請求項1乃至4のいずれか記載のバンプチップスケール半導体パッケージのバンプ形成方法。

【請求項10】 ボールボンダ用ワイヤーボンダとしてのソルダワイヤーを使用して半導体チップのチップパッド上に、ソルダテールを有するソルダバンプを形成させるソルダバンプ形成段階と、

前記ソルダバンプが形成された半導体チップの上面に樹脂を塗布し硬化させる樹脂コーティング層形成段階と、熱処理手段により前記ソルダテールを溶融、冷却して、重力及び表面張力により球体状又は半球体状に形成させるチップバンプ形成段階とから構成されることを特徴とするバンプチップスケール半導体パッケージのバンプ形成方法。

【請求項11】 ソルダバンプ形成段階が、ゴールドワイヤーを使用して半導体チップのチップパッド上にゴールドバンプを形成させるゴールドバンプ形成段階と、ソルダワイヤーを使用して前記ゴールドバンプコア上に、ソルダテールを有するソルダバンプを形成させるソルダバンプ形成段階とから構成されることを特徴とする請求項10記載のバンプチップスケール半導体パッケージのバンプ形成方法。

【請求項12】 樹脂コーティング層形成段階に次いでフラックスを塗布するフラックス塗布段階をさらに含むことを特徴とする請求項10又は11記載のバンプチップスケール半導体パッケージのバンプ形成方法。

【請求項13】 フラックスがロジン系フラックスであることを特徴とする請求項12記載のバンプチップスケール半導体パッケージのバンプ形成方法。

【請求項14】 ソルダバンプ形成段階で形成されるソルダバンプのソルダテールを10～30milの高さに形成させることを特徴とする請求項10又は11記載のバンプチップスケール半導体パッケージのバンプ形成方法。

【請求項15】 樹脂コーティング層形成段階において、樹脂コーティング層を形成する樹脂がポリイミド又はエポキシ樹脂であり、硬化は150～240℃の温度で30分以上加熱させることにより成されることを特徴とする請求項10又は11記載のバンプチップスケール半導体パッケージのバンプ形成方法。

【請求項16】 チップバンプ形成段階での熱処理手段が190℃以上の対流オープン、炉又は赤外線リフロー

加熱装置であることを特徴とする請求項1記載のバンパチップスケール半導体パッケージのバンパ形成方法。

【請求項17】 前記半導体チップがソーイング装置で切断される前のウェーハであることを特徴とする請求項10又は11記載のバンパチップスケール半導体パッケージのバンパ形成方法。

【請求項18】 チップバンパ形成段階後、フラックスを塗布し、前記チップバンパの周囲に所望の大きさのチップバンパを形成させるに十分な量の溶ダペーストを塗布する溶ダペースト塗布段階と、熱処理手段により前記溶ダペーストを溶融、冷却させてチップバンパの大きさを拡大させるチップバンパの直径拡張段階とをさらに含むことを特徴とする請求項14記載のバンパチップスケール半導体パッケージのバンパ形成方法。

【請求項19】 チップバンパ形成段階後、フラックスを塗布し、前記チップバンパの周囲に所望の大きさのチップバンパを形成させるに十分な大きさの溶ダボールを位置させる溶ダボール位置選定段階と、熱処理手段により前記溶ダペーストを溶融、冷却させてチップバンパの大きさを拡大させるチップバンパの直径拡張段階とをさらに含むことを特徴とする請求項14記載のバンパチップスケール半導体パッケージのバンパ形成方法。

【請求項20】 フラックスがロジン系フラックスであることを特徴とする請求項18又は19記載のバンパチップスケール半導体パッケージのバンパ形成方法。

【請求項21】 チップバンパの直径拡張段階での熱処理手段が190℃以上の対流オーブン、炉又は赤外線リフロー加熱装置であることを特徴とする請求項18又は19記載のバンパチップスケール半導体パッケージのバンパ形成方法。

【請求項22】 多数の導電性電極であるチップパッドと前記多数のチップパッドを除外した部分に形成されるパッシベーション薄膜を一面に有する半導体チップと、前記チップパッド上に融着されたゴールドバンパコア及びその周囲を取り囲む溶ダバンパでなり、マザーボードへの入出力端子として、かつ前記半導体チップをマザーボードに連結させるジョイントとしてのチップバンパと、前記パッシベーション薄膜上に積層され、前記チップバンパの下部周囲を取り囲む樹脂コーティング層とから構成されることを特徴とするバンパチップスケール半導体パッケージ。

【請求項23】 ゴールドバンパコアが長さ10～30milの範囲のゴールドテールが湾曲された環状コアであることを特徴とする請求項22記載のバンパチップスケール半導体パッケージ。

【請求項24】 ゴールドバンパコアがテールのないコアであることを特徴とする請求項22記載のバンパチップスケール半導体パッケージ。

【請求項25】 半導体チップ上のチップバンパ形成面

を除外した半導体チップの5面を取り囲むリッドが付着されることを特徴とする請求項22記載のバンパチップスケール半導体パッケージ。

【請求項26】 前記リッドが金属材リッド又は熱伝導性に優れたエポキシ系のプラスチックリッドで形成されることを特徴とする請求項25記載のバンパチップスケール半導体パッケージ。

【請求項27】 金属材リッドが銅、銅合金、ステンレス鋼又はスチールであることを特徴とする請求項26記載のバンパチップスケール半導体パッケージ。

【請求項28】 リッドと半導体チップがエポキシ樹脂によりボイドの形成なしに接着されることを特徴とする請求項25又は26記載のバンパチップスケール半導体パッケージ。

【請求項29】 半球体状のゴールドバンパと、前記ゴールドバンパの上端に一体に連結される環状に湾曲されたゴールドテールと、前記ゴールドテールをコアとして前記ゴールドバンパの上端に球体状又は半球体状に形成される溶ダバンパとからなることを特徴とするバンパチップスケール半導体パッケージの入出力端子用及びマザーボードへのジョイント用のバンパ。

【請求項30】 ゴールドテールの全体長さが10～30milの範囲であることを特徴とする請求項29記載のバンパチップスケール半導体パッケージの入出力端子用及びマザーボードへのジョイント用のバンパ。

【請求項31】 半球体状のゴールドバンパと、前記ゴールドバンパをコアとして取り囲み、前記ゴールドバンパの上端に球体状又は半球体状に形成される溶ダバンパとからなることを特徴とするバンパチップスケール半導体パッケージの入出力端子用及びマザーボードへのジョイント用のバンパ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はバンパチップスケール(Bump ChipScale)半導体パッケージのバンパ形成方法とその半導体パッケージ及びバンパに関するもので、より詳しくは、半導体チップのチップパッドにチップバンパを形成してマザーボードに直接実装させることの出来る軽薄短小型のバンパチップスケール半導体パッケージにおけるバンパ形成方法とその半導体パッケージ及びバンパに関するものである。

【0002】

【従来の技術】最近、電子製品の小型化及び多機能化の傾向は半導体チップの高集積化及び高性能化趨勢に起因するもので、このような趨勢に応じて半導体パッケージも軽薄短小化及び超多ピン化されていく。即ち、半導体パッケージの大きさを超小型化するとともに高性能化させたパッケージの需要が急増している。従って、入出力端子としてリードを使用する半導体パッケージの代わりに溶ダボールを使用する半導体パッケージが人気を得

る趨勢にある。

【0003】ソルダボールを入出力端子として使用する典型的な半導体パッケージであるBGA(Ball Grid Array)半導体パッケージは既存のリードを入出力端子として使用するQFP(Quad FlatPackage)に比べてパッケージの大きさ及び集積度が大きく向上されたが、半導体パッケージの大きさがモルディング領域により比較的大きくなって、マザーボードへの実装時、依然として大きな空間を占める問題があるので、最近の小型化趨勢に対応するには十分に満足したものではなかった。

【0004】このようなBGA半導体パッケージは、図9に示すように、回路パターン71が外郭に形成されたPCB基板7の上面中央部に半導体チップ1がエボキシにより付着され、半導体チップ1のチップパッドとPCB基板7の上面の回路パターン71とがワイヤー8により電気的に接続され、外部環境から半導体値プログラム1及びワイヤー8等を保護するため、コンパウンド9でモルディングされ、前記PCB基板7の底面には多数の入出力端子としてのソルダボール2が付着されている。

【0005】

【発明が解決しようとする課題】しかしながら、このようなBGA半導体パッケージはワイヤーを使用するので、ワイヤーのループによりパッケージの面積が大きくなってパッケージの実装密度を低下させるとともに、マザーボード上の回路パターンの設計余裕度を減少させ、温度変化によるパッケージ内部の各種素子間の界面剥離が発生する可能性がある。

【0006】前記のような従来の諸般問題点を解消するため、本発明は従来のソルダワイヤー及び／又はゴールドワイヤーを使用して半導体チップのチップパッド上にテールを有するバンパを形成させ、このテールを用いてチップバンパを容易に効率的に形成させる。このようなチップバンパ形成方法により製造されるバンパチップスケール半導体パッケージはその大きさが半導体チップのサイズ程度であるので、半導体パッケージを最大に軽薄短小化することができる。

【0007】従って、本発明の第1の目的は、従来のソルダワイヤー及び／又はゴールドワイヤーを使用して、半導体チップのチップパッド上にテールを有するバンパを形成させ、このテールを用いてチップバンパを容易で効率的に形成させ得るバンパチップスケール半導体パッケージのバンパ形成方法を提供することである。

【0008】本発明の第2目的は、前記第1目的によるチップバンパの形成方法を用いて製造される最大に軽薄短小化されたバンパチップスケール半導体パッケージを提供することである。

【0009】本発明の第3目的は、前記第1目的によるバンパチップスケール半導体パッケージのバンパ形成方法により形成される入出力端子として使用されるバンパを提供することである。

【0010】

【課題を解決するための手段】本発明に係るバンパチップスケール半導体パッケージのバンパ形成方法は、ボールボンダ用ワイヤーボンダとしてのゴールドワイヤーを使用して半導体チップのチップパッド上に、ゴールドテールを有するゴールドバンパを形成させるゴールドバンパ形成段階と、前記ゴールドバンパが形成された半導体チップの上面に樹脂を塗布し硬化させる樹脂コーティング層形成段階と、コイニング装置で前記ゴールドテールをベンディングさせる湾曲形ゴールドテール形成段階と、前記湾曲形ゴールドテール形成面上にフラックスを塗布し、所望大きさのソルダボールを前記ゴールドテール上に位置させるソルダボール位置選定段階と、熱処理手段により前記ゴールドテールをコアとする球体状又は半球体状のチップバンパを形成させるバンパ再形成段階とからなることを特徴とする。

【0011】また、本発明に係るバンパチップスケール半導体パッケージのバンパ形成方法は、ソルダボール位置選定段階の代わりに、湾曲形ゴールドテール形成面上にフラックスを塗布し、湾曲形ゴールドテールの周囲に所望の大きさのチップバンパを形成させるに十分な量のソルダペーストを塗布するソルダペースト塗布段階を含むことを特徴とする。

【0012】また、本発明に係るバンパチップスケール半導体パッケージのバンパ形成方法は、ソルダボール位置選定段階の代わりに、湾曲形ゴールドテール形成面上にフラックスを塗布し、湾曲形ゴールドテール形成面を下向にしてソルダボットに浸漬させて、前記湾曲形ゴールドテール上にソルダバンパを形成させるソルダバンパ形成段階を含むことを特徴とする。

【0013】また、本発明に係るバンパチップスケール半導体パッケージのバンパ形成方法は、ソルダボール位置選定段階の代わりに、湾曲形ゴールドテール形成面上にフラックスを塗布し、湾曲形ゴールドテール形成面を下向にし、ウェーブソルダリングにより前記湾曲形ゴールドテール上にソルダバンパを形成させるソルダバンパ形成段階を含むことを特徴とする。

【0014】また、本発明に係るバンパチップスケール半導体パッケージのバンパ形成方法は、ゴールドバンパ形成段階では、ゴールドバンパのゴールドテールを10～30milの高さに形成することを特徴とする。

【0015】また、本発明に係るバンパチップスケール半導体パッケージのバンパ形成方法は、樹脂コーティング層形成段階において、樹脂コーティング層を形成する樹脂がポリイミド又はエポキシ樹脂であり、硬化は150～240℃の温度で30分以上加熱させることにより成されることを特徴とする。

【0016】また、本発明に係るバンパチップスケール半導体パッケージのバンパ形成方法は、フラックスがロジン系フラックスであることを特徴とする。

【0017】また、本発明に係るバンパチップスケール半導体パッケージのバンパ形成方法は、バンパ再形成段階でのバンパ再形成時の熱処理手段が190℃以上の対流オープン、炉又は赤外線リフロー加熱装置であることを特徴とする。

【0018】また、本発明に係るバンパチップスケール半導体パッケージのバンパ形成方法は、半導体チップがソーイング装置で切断される前のウェーハであることを特徴とする。

【0019】また、本発明に係るバンパチップスケール半導体パッケージのバンパ形成方法は、ボールボンド用ワイヤーボンダとしての溶ダワイヤーを使用して半導体チップのチップパッド上に、溶ダテールを有する溶ダバンパを形成させる溶ダバンパ形成段階と、前記溶ダバンパが形成された半導体チップの上面に樹脂を塗布し硬化させる樹脂コーティング層形成段階と、熱処理手段により前記溶ダテールを溶融、冷却して、重力及び表面張力により球体状又は半球体状に形成させるチップバンパ形成段階とから構成されることを特徴とする。

【0020】また、本発明に係るバンパチップスケール半導体パッケージのバンパ形成方法は、溶ダバンパ形成段階が、ゴールドワイヤーを使用して半導体チップのチップパッド上にゴールドバンパを形成させるゴールドバンパ形成段階と、溶ダワイヤーを使用して前記ゴールドバンパコア上に、溶ダテールを有する溶ダバンパを形成させる溶ダバンパ形成段階とから構成されることを特徴とする。

【0021】また、本発明に係るバンパチップスケール半導体パッケージのバンパ形成方法は、樹脂コーティング層形成段階に次いでフラックスを塗布するフラックス塗布段階をさらに含むことを特徴とする。

【0022】また、本発明に係るバンパチップスケール半導体パッケージのバンパ形成方法は、フラックスがロジン系フラックスであることを特徴とする。

【0023】また、本発明に係るバンパチップスケール半導体パッケージのバンパ形成方法は、溶ダバンパ形成段階で形成される溶ダバンパの溶ダテールを10～30milの高さに形成させることを特徴とする。

【0024】また、本発明に係るバンパチップスケール半導体パッケージのバンパ形成方法は、樹脂コーティング層形成段階において、樹脂コーティング層を形成する樹脂がポリイミド又はエポキシ樹脂であり、硬化は150～240℃の温度で30分以上加熱させることにより成されることを特徴とする。

【0025】また、本発明に係るバンパチップスケール半導体パッケージのバンパ形成方法は、チップバンパ形成段階での熱処理手段が190℃以上の対流オープン、炉又は赤外線リフロー加熱装置であることを特徴とする。

【0026】また、本発明に係るバンパチップスケール半導体パッケージのバンパ形成方法は、半導体チップがソーイング装置で切断される前のウェーハであることを特徴とする。

【0027】また、本発明に係るバンパチップスケール半導体パッケージのバンパ形成方法は、チップバンパ形成段階後、フラックスを塗布し、前記チップバンパの周囲に所望の大きさのチップバンパを形成させるに十分な量の溶ダペーストを塗布する溶ダペースト塗布段階と、熱処理手段により前記溶ダペーストを溶融、冷却させてチップバンパの大きさを拡大させるチップバンパの直径拡張段階とをさらに含むことを特徴とする。

【0028】また、本発明に係るバンパチップスケール半導体パッケージのバンパ形成方法は、チップバンパ形成段階後、フラックスを塗布し、前記チップバンパの周囲に所望の大きさのチップバンパを形成させるに十分な大きさの溶ダボールを位置させる溶ダボール位置選定段階と、熱処理手段により前記溶ダペーストを溶融、冷却させてチップバンパの大きさを拡大させるチップバンパの直径拡張段階とをさらに含むことを特徴とする。

【0029】また、本発明に係るバンパチップスケール半導体パッケージのバンパ形成方法は、フラックスがロジン系フラックスであることを特徴とする。

【0030】また、本発明に係るバンパチップスケール半導体パッケージのバンパ形成方法は、チップバンパの直径拡張段階での熱処理手段が190℃以上の対流オープン、炉又は赤外線リフロー加熱装置であることを特徴とする。

【0031】また、本発明に係るバンパチップスケール半導体パッケージは、多数の導電性電極であるチップパッドと前記多数のチップパッドを除外した部分に形成されるパッシベーション薄膜を一面に有する半導体チップと、前記チップパッド上に融着されたゴールドバンパコア及びその周囲を取り囲む溶ダバンパでなり、マザーボードへの入出力端子として、かつ前記半導体チップをマザーボードに連結させるジョイントとしてのチップバンパと、前記パッシベーション薄膜上に積層され、前記チップバンパの下部周囲を取り囲む樹脂コーティング層とから構成されることを特徴とする。

【0032】また、本発明に係るバンパチップスケール半導体パッケージは、ゴールドバンパコアが長さ10～30milの範囲のゴールドテールが湾曲された環状コアであることを特徴とする。

【0033】また、本発明に係るバンパチップスケール半導体パッケージは、ゴールドバンパコアがテールのないコアであることを特徴とする。

【0034】また、本発明に係るバンパチップスケール半導体パッケージは、半導体チップ上のチップバンパ形成面を除外した半導体チップの5面を取り囲むリッドが付着されることを特徴とする。

【0035】また、本発明に係るバンパチップスケール半導体パッケージは、リッドが金属材料リッド又は熱伝導性に優れたエポキシ系のプラスチックリッドで形成されることを特徴とする。

【0036】また、本発明に係るバンパチップスケール半導体パッケージは、金属材料リッドが銅、銅合金、ステンレス鋼又はスチールであることを特徴とする。

【0037】また、本発明に係るバンパチップスケール半導体パッケージは、リッドと半導体チップがエポキシ樹脂によりボイドの形成なしに接着されることを特徴とする。

【0038】また、本発明に係るバンパは、半球体状のゴールドバンパと、前記ゴールドバンパの上端に一体に連結される環状に湾曲されたゴールドテールと、前記ゴールドテールをコアとして前記ゴールドバンパの上端に球体状又は半球体状に形成されるソルダバンパとからなることを特徴とする。

【0039】また、本発明に係るバンパは、ゴールドテールの全体長さが10〜30milの範囲であることを特徴とする。

【0040】また、本発明に係るバンパは、半球体状のゴールドバンパと、前記ゴールドバンパをコアとして取り囲み、前記ゴールドバンパの上端に球体状又は半球体状に形成されるソルダバンパとからなることを特徴とする。

【0041】

【発明の実施の形態】以下、添付図面を参照して本発明の一実施の形態を詳細に説明する。図1(A)乃至図1(E)は本実施の形態の好ましい第1具体例であるバンパチップスケール半導体パッケージのバンパ形成方法を段階的に示す説明図で、工程順に説明すると次のようであり、参考として、本実施の形態のバンパ形成方法に使用されるゴールドワイヤー又はソルダワイヤーは全て半導体パッケージの製造工程のワイヤーボンディング時に通常使用されるワイヤーボンデで、特別な種類のものではない。

【0042】図1の(A)は半導体チップ10の一面に形成されたチップパッド11上に、ゴールドワイヤーを用いて、一端に直線状のゴールドテール22を有するゴールドバンパ21を形成させるゴールドバンパの形成段階を示す側断面図である。直線状のゴールドテール22は後にソルダバンパのコアとして作用するので、5〜40mil(1mil=1/1000inch)程度の高さ、好ましくは10〜30milの高さに形成する。又、半導体チップ20のチップパッド11を除外した部分には半導体チップの表面を保護するため、化学的に非反応性で電気絶縁性であるパッシベーション(Passivation)薄膜12が形成され、これは通常ガラス又はポリイミド等で形成される。

【0043】図1の(B)はゴールドバンパ21が形成

された半導体チップ10のパッシベーション薄膜12上に樹脂を均一な厚さに塗布し、150〜240℃程度の高温で30分以上加熱して硬化させて樹脂コーティング層13を形成させる樹脂コーティング層の形成段階を示す側断面図である。このような樹脂としては、絶縁性に優れたものであればどんな種類の樹脂であってもかまわないが、ポリイミド樹脂又はエポキシ樹脂が好ましい。

【0044】図1の(C)は樹脂コーティング層13を硬化させ、この樹脂コーティング層13上に露出された直線状のゴールドテール22をコイニング(Coining)装置50でベンディングさせて湾曲形ゴールドテール23に形成させる湾曲形ゴールドテールの形成段階を示す側断面図である。

【0045】図1の(D)はベンディングされた湾曲形ゴールドテール23上にフラックス35を塗布し、所望大きさに予め形成させたSn/Pb系のソルダボール28を前記湾曲形ゴールドテール23上に位置させるソルダボールの位置選定段階を示す側断面図である。フラックス35としては、樹脂系、有機系、又は無機系の多様な種類が使用できるが、樹脂系であるロジン系フラックス(Rosin Base Flux)が好ましい。

【0046】図1の(E)は190℃以上の高温に維持された対流オープン(Oven)、炉(Furnace)又はIRリフロー(Reflow)装置中に、前記ソルダ位置段階を経由した半導体チップ10を通過させることにより、湾曲形ゴールドテール23をコアとする球体状又は半球体状のチップバンパ20を再形成させるバンパ再形成段階を示す側断面図である。

【0047】次いで、図2の(A)及び図2の(B)は、前記第1具体例である本実施の形態のバンパチップスケール半導体パッケージのバンパ形成方法を示す図1(A)乃至図1(E)のうち、図1の(D)に示したソルダボール位置選定段階に代替可能な段階を示す本実施の形態の好ましい第2、第3具体例であるバンパ形成方法を示す説明図である。

【0048】図2の(A)はパッシベーション薄膜12とその上に積層された樹脂コーティング層13とが形成された半導体チップ10のチップパッド11上の湾曲形ゴールドテール23の上部周囲に所望大きさのチップバンパを形成させるに十分な量のソルダペースト27をステンシル(Stencil)又はスクリーン(Screen)プリンティングにより塗布するソルダペースト塗布段階を示す側断面図である。フラックスの使用は選択的である。このような本実施の形態のバンパチップスケール半導体パッケージのバンパ形成方法の第2具体例は、第1具体例の図1の(D)に示すソルダボール位置選定段階を除外した残りの段階がすべて同一である。

【0049】図2の(B)はパッシベーション薄膜12と、その上に積層された樹脂コーティング層13とが形成された半導体チップ10の湾曲形ゴールドテール23

11

が形成された面にフラックス35、好ましくはロジン系フラックスを塗布した後、湾曲形ゴールドテール23が形成された面を下向にしてソルダボット60に浸漬させて、前記湾曲形ゴールドテール23上にソルダバンパを形成させるソルダバンパ形成段階を示す側断面図である。このような本実施の形態のバンパチップスケール半導体パッケージのバンパ形成方法の好ましい第3具体例は、図1の(D)に示す第1具体例のソルダボール位置選定段階を除外した残りの段階が全て同一である。又、湾曲形ゴールドテール23をソルダボット60に浸漬させるに代わって、ウェーブソルダリング(Wave Soldering)により湾曲形ゴールドテール23にソルダバンパを形成することもできる。

【0050】また、本実施の形態のバンパチップスケール半導体パッケージのバンパ形成方法の好ましい第1乃至第3具体例において、半導体チップ10単位にチップバンパ30を形成させなく、半導体チップ10の母材であるウェーハ70(図6参照)状態で直接チップバンパ20を形成させた後、ソーイング(Sawing)装置でウェーハを切断して単一バンパチップ半導体パッケージ10

【0051】前記のような本実施の形態のバンパチップスケール半導体パッケージのバンパ形成方法の好ましい第1乃至第3具体例による段階を経由して形成されるチップバンパ20は高価のソルダワイヤーに比べてずっと安価であり、導電性に優れたゴールドワイヤーを用いて湾曲形ゴールドテール23を形成させた後、これをコアとして用いて比較的簡単な方法により効率的にチップバンパ20を形成させることができる。このようなチップバンパ20をチップパッド11上に形成させた半導体パッケージは、チップバンパ20が半導体チップ10の入出力端子としての機能及びマザーボード上への半導体チップ10の実装時のジョイントとしての機能を同時に遂行するので、最大に軽薄短小化されたバンパチップスケール半導体パッケージの実現が可能になる。

【0052】図3(A)乃至図3(F)は本実施の形態のバンパチップスケール半導体パッケージのバンパ形成方法の好ましい第4具体例を順次示す説明図で、湾曲形ゴールドテールをチップバンパのコアとして用いる第1乃至第3具体例とは異なり、ソルダバンパ25のソルダテール26を熱処理手段により直接溶融、冷却させることによりチップバンパ20を形成させる方法を示す。

【0053】図3の(A)はチップパッド11を除外した領域にパッシベーション薄膜12が形成された半導体チップ10を示す側断面図で、その具体的な事項は図1の(A)の説明を参照すればよい。図3の(B)はチップパッド11上にボールボンド用ワイヤーボンダとしてのソルダワイヤーを用いて、一端に直線状ソルダテール26を有するソルダバンパ25を形成させるソルダバン

12

パ形成段階を示す側断面図である。直線状ソルダテール26は後に適当な直径のチップバンパを形成し得るよう、5~40mil、好ましくは10~30milの高さに形成することが好ましい。

【0054】図3の(C)はソルダバンパ25が形成された半導体チップ10のパッシベーション薄膜12上に樹脂を均一な厚さに塗布し、150~240℃の高温で30分以上加熱して硬化させて樹脂コーティング層13を形成させる樹脂コーティング層の形成段階を示す側断面図で、その具体的な事項は図1の(B)の場合と同様である。

【0055】図3の(D)は熱処理手段によりソルダテール26を溶融させてから冷却させる間、重量及び表面張力によりソルダテール26が球体状又は半球体状のチップバンパ20に形成されるチップバンパ形成段階を示す側断面図である。熱処理手段及びその温度条件は第1乃至第3具体例の場合と同一である。又、樹脂コーティング層の形成段階後、フラックス35、好ましくはロジン系フラックスを塗布した後、チップバンパ形成段階を

【0056】図3の(E)及び図3の(F)は本実施の形態のバンパチップスケール半導体パッケージのバンパ形成方法により形成されたチップバンパ20の直径を必要時に大きく拡大する方法を示すもので、ソルダワイヤーで形成されたチップバンパ20の大きさが不充分である場合、ロジン系フラックス35を塗布した後、チップバンパ20上に所望大きさのチップバンパ20を形成させるに十分な量のソルダペースト27を塗布するソルダペースト塗布段階、又は所望大きさのチップバンパ20を形成させるに十分な直径に予め形成されたソルダボール28をチップバンパ20上に位置させるソルダボール位置選定段階を遂行した後、高温(190℃以上)のオープン又は炉等の熱処理手段によりチップバンパ20を再形成してチップバンパ20の直径を拡大させることができる。

【0057】図4は本実施の形態の第1乃至第4具体例によるチップバンパ形成方法により形成されたチップバンパ20の断面図で、バンパチップスケール半導体パッケージの入出力端子用及びマザーボードへのジョイント用バンパ20は、半球体状のゴールドバンパ21と、前記ゴールドバンパ21の上端に一体に連結される環状に湾曲されたゴールドテール23と、前記ゴールドテール23をコアとして前記ゴールドバンパ21の上端に球体状又は半球体状に形成されるソルダバンパ25とからなる。ゴールドテール23の伸長時の長さは5~40mil、好ましくは10~30milの範囲である。

【0058】第4具体例の変形方法として、図5(A)乃至図5(C)に示すように、チップパッド11上にチップバンパ20を直接形成しなく、ゴールドワイヤーを使用して半導体チップ10のチップパッド11上にゴー

ールドテールのないゴールドバンパ24を形成させるゴールドバンパ形成段階と、ソルダワイヤーを使用して前記ゴールドバンパ24のコア上にソルダテール26を有するソルダバンパ25を形成させるソルダバンパ形成段階を採択することもできる(図5A参照)。その後、第4具体例でのチップバンパ形成段階と同一段階によりチップバンパ20を形成させる(図5B参照)。又、この場合においても、第4具体例で同一のチップバンパの直径拡大段階を遂行してチップバンパ20を再形成させることもできる。この具体例でのチップバンパ20は、半球体状のゴールドバンパコア24と、前記ゴールドバンパコア24を取り囲み、前記ゴールドバンパコア24の上端に球体状又は半球体状に形成されるソルダバンパ25とからなる(図5C参照)。

【0059】図6は本実施の形態のバンパチップスケール半導体パッケージのバンパ形成方法をウェーハ70に直接使用して、ウェーハ70上のバンパチップスケール半導体パッケージにチップバンパを同時に形成させた後、これをソーイング装置で切断、分離して単位半導体チップ100に製造し得るものを示す説明図で、これにより製造効率を高めることができる。

【0060】図7の(A)及び図7の(B)は本実施の形態のバンパチップスケール半導体パッケージ100をマザーボード40に覆して実装する状態を順次示す説明図である。本実施の形態のバンパ形成方法により製造されるバンパチップスケール半導体パッケージ100は、多数の導電性電極であるチップパッド11と前記多数のチップパッド11を除外した部分に形成されるパッシベーション薄膜12とを一面に有する半導体チップ10と、チップパッド11上に融着されたゴールドバンパコア及びその周囲を取り囲むソルダバンパであり、マザーボードへの入出力端子として、かつ前記半導体チップをマザーボードに連結させるジョイントとしてのチップバンパ20と、パッシベーション薄膜12上に積層され、前記チップバンパ20の下部周囲を取り囲む樹脂コーティング層13とから構成される。ゴールドバンパコアは長さ5〜40mil、好ましくは10〜30milの範囲のゴールドテールが湾曲された環状コアであるか又はテールのないコアである。なお、その他の詳細な事項は先に説明した内容と同様である。

【0061】図8は本実施の形態の好ましい一具体例による、リッド30を被せたバンパチップスケール半導体パッケージ100の断面図である。これは、チップバンパ20が形成されなかった半導体チップ10の表面を外部環境から保護するため、半導体チップ10の前記チップバンパ20形成面を除外した5面を取り囲むようにリッド30を付着したもので、リッド30は熱伝導性に優れた金属材料又はエポキシ系のプラスチックリッドで形成される。又、金属材料リッドの素材としては、多様な種類が使用できるが、銅、銅合金、ステンレス鋼又はスチー

ルであることが好ましく、その表面はニッケルで鍍金できる。

【0062】リッド30の付着においては、その内面をエポキシ系樹脂等を用いて半導体チップ10に付着した後、100℃以上の高温に露出させてエポキシ系樹脂31を全く硬化させた後、半導体チップ10の側面と金属又はプラスチックリッド30の内側面との隙間をボイドが生じないように充填させる。

【0063】

10 【発明の効果】以上説明したように、本発明のバンパチップスケール半導体パッケージのバンパ形成方法は比較的簡単で効率的であり、安価で遂行することができ、これにより製造されたバンパチップスケール半導体パッケージは半導体チップパッドに直接チップバンパを形成して入出力端子として使用することは勿論、マザーボードへの実装時、マザーボードを連結させるジョイントの役割をするので、パッケージを最大に軽薄短小化し得る効果がある。

【図面の簡単な説明】

20 【図1】(A)〜(E)は、本発明のバンパチップスケール半導体パッケージのバンパ形成方法の一実施の形態による好ましい第1具体例であるチップバンパ形成方法を順次示す説明図である。

【図2】(A)、(B)は、本発明のバンパチップスケール半導体パッケージのバンパ形成方法の一実施の形態による具体例において図1の(D)に代替可能な段階を示すバンパ形成方法を示す説明図である。

30 【図3】(A)〜(F)は、本発明のバンパチップスケール半導体パッケージのバンパ形成方法の一実施の形態の第4具体例によるチップバンパ形成方法を順次示す説明図である。

【図4】本発明のバンパチップスケール半導体パッケージのバンパ形成方法の一実施の形態の第1乃至第3具体例によるチップバンパ形成方法により形成されたバンパの断面図である。

【図5】(A)〜(C)は、本発明のバンパチップスケール半導体パッケージのバンパ形成方法の一実施の形態の第4具体例の変形例によるチップバンパ形成方法により形成されたバンパの断面図である。

40 【図6】本発明のバンパチップスケール半導体パッケージのバンパ形成方法の一実施の形態をウェーハに直接使用して多数のバンパ値プログラムスケール半導体パッケージにバンパを同時に形成させた後、これを切断して単位半導体チップに製造する説明図である。

【図7】(A)、(B)は、本発明の一実施の形態であるバンパチップスケール半導体パッケージをマザーボードに実装する状態を順次示す説明図である。

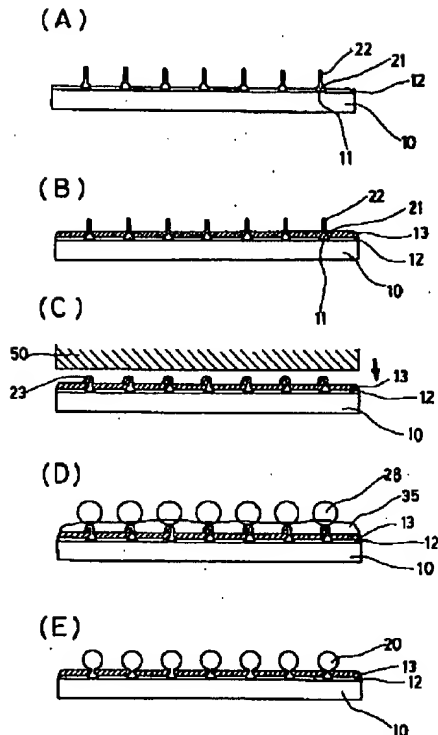
【図8】本発明の一実施の形態であるリッドを被せたバンパチップスケール半導体パッケージの断面図である。

50 【図9】従来のボールグリッドアレイの断面図である。

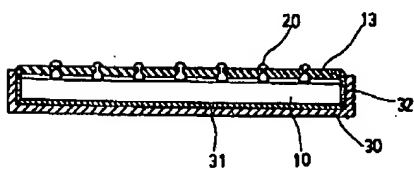
【符号の説明】

- | | |
|---------------|------------------------|
| 10 半導体チップ | 27 ソルダペースト |
| 11 チップパッド | 28 ソルダボール |
| 12 パッシベーション薄膜 | 30 リッド (Lid) |
| 13 樹脂コーティング層 | 31 エポキシ系接着剤 |
| 20 チップバンパ | 32 エポキシ樹脂 |
| 21 ゴールドバンパ | 35 ロジンフラックス |
| 22 直線状ゴールドテール | 40 マザーボード |
| 23 湾曲形ゴールドテール | 50 コイニング装置 |
| 24 ゴールドバンパコア | 60 ソルダポット (Solder Pot) |
| 25 ソルダバンパ | 70 ウェーハ |
| 26 ソルダテール | 100 バンプチップスケール半導体パッケージ |

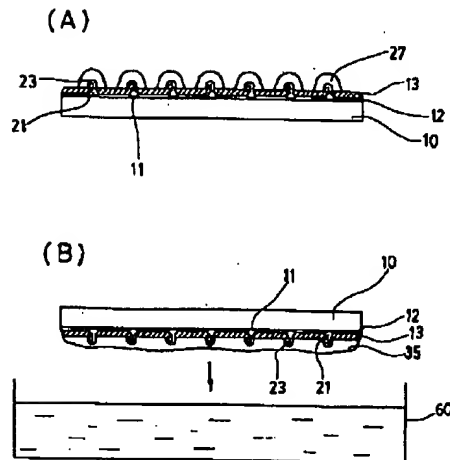
【図1】



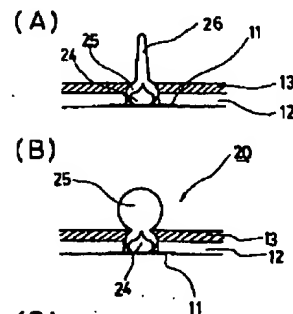
【図8】



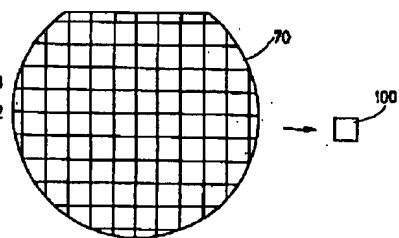
【図2】



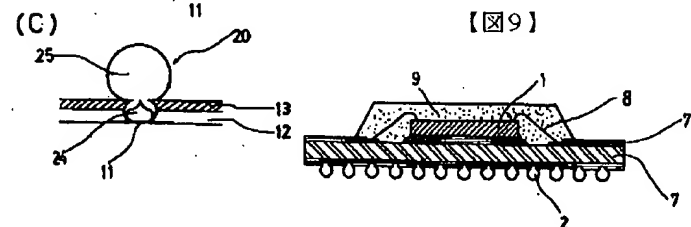
【図5】



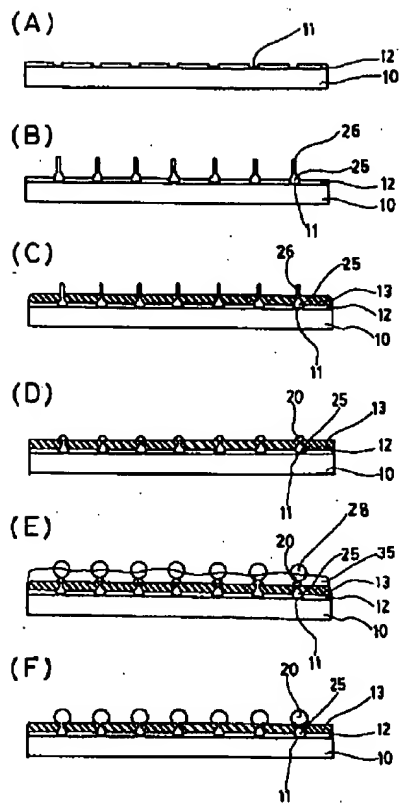
【図6】



【図9】



【図3】



【図7】

